

PATENT
8070-1003

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Tatsuya SUZUKI et al.
Appl. No.: Conf.:
Filed: NEW NON-PROVISIONAL
Title: Group:
October 16, 2003 Examiner:
METHOD FOR MANUFACTURING SEMICONDUCTOR
DEVICE AND SEMICONDUCTOR DEVICE

CLAIM TO PRIORITY

October 16, 2003

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

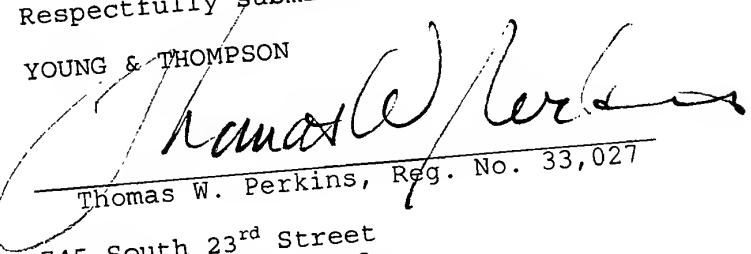
Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-303631	October 17, 2002

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON


Thomas W. Perkins, Reg. No. 33,027

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

TWP/maf

Attachment(s): 1 Certified Copy(ies)

US

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

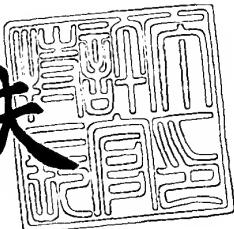
出願年月日 2002年10月17日
Date of Application:

出願番号 特願2002-303631
Application Number:
[ST. 10/C]: [JP 2002-303631]

出願人 NECエレクトロニクス株式会社
Applicant(s):

2003年8月22日

今井康夫



特許庁長官
Commissioner,
Japan Patent Office

出証番号 出証特2003-3068826



【書類名】 特許願
【整理番号】 74112769
【提出日】 平成14年10月17日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/304
【発明者】
【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 鈴木 達也
【発明者】
【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 青木 秀充
【特許出願人】
【識別番号】 000004237
【氏名又は名称】 日本電気株式会社
【代理人】
【識別番号】 100110928
【弁理士】
【氏名又は名称】 速水 進治
【電話番号】 03-3461-3687
【手数料の表示】
【予納台帳番号】 138392
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0110433
【プルーフの要否】 要

特願2002-303631

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項1】 半導体基板上に、所定の形状にパターニングされた膜を形成する工程と、該膜の形成後、半導体材料の露出面を有する半導体基板の表面に対し、有機溶媒を主成分とする薬液によりウェット処理を施すことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に膜を形成し、前記膜の少なくとも一部を有機溶媒を主成分とする薬液を用いて除去し、前記半導体基板の表面の一部を露出させることを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板上に絶縁膜を形成する工程と、

前記絶縁膜上に導電膜を形成する工程と、

前記導電膜上に所定形状にパターニングされた保護膜を形成する工程と、

前記保護膜をマスクとして前記導電膜を選択的に除去する工程と、

前記保護膜を選択的に除去して前記半導体基板表面の一部を露出させる工程と前記絶縁膜を選択的に除去して前記半導体基板に対してウェット処理を施す工程と、

有機溶媒を主成分とする薬液により前記半導体基板に対してウェット処理を施す工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項4】 請求項3に記載の半導体装置の製造方法において、

前記絶縁膜を除去する工程は、

前記半導体基板表面の一部を露出させる前に、前記保護膜を除去する工程を含むことを特徴とする半導体装置の製造方法。

【請求項5】 請求項3または4に記載の半導体装置の製造方法において

前記絶縁膜を形成する工程は、

シリコン酸化膜よりも比誘電率の高い材料により構成された高誘電率絶縁膜を形成する工程を含み、

前記絶縁膜を除去する工程は、

特願 2002-303631

前記保護膜をマスクとしてドライエッティングにより前記高誘電率絶縁膜の一部を選択的に除去する工程と、

前記保護膜を除去する工程と、

前記導電膜をマスクとして、ウェットエッティングにより前記高誘電率絶縁膜の

残りを選択的に除去する工程と、を含み、

前記ウェットエッティングは、フッ化化合物を含み有機溶媒を主成分とする除去液、熱リン酸を含む除去液、または硫酸を含む除去液を用いて行われることを特徴とする半導体装置の製造方法。

【請求項 6】 半導体基板上にシリコン酸化膜よりも比誘電率の高い高誘電率絶縁膜を少なくとも含む絶縁膜を形成する工程と、

前記絶縁膜を、フッ化化合物を含み、有機溶媒を主成分とする薬液を用いたウェットエッティングにより選択的に除去して前記半導体基板表面の一部を露出させる工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板上の第一の領域および第二の領域に第一の絶縁膜および第二の絶縁膜をそれぞれ形成する工程と、

前記第二の絶縁膜を覆う保護膜を形成する工程と、

前記第一の絶縁膜を除去して前記第一の領域において、前記半導体基板表面を露出させる工程と、

有機溶媒を主成分とする薬液により前記保護膜を除去する工程と、

前記第一の領域に前記第二の絶縁膜と膜厚または膜材料の異なる第三の絶縁膜を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 に記載の半導体装置の製造方法において、

前記第一の絶縁膜、第二の絶縁膜、および第三の絶縁膜は、それぞれ対応する領域において、前記半導体基板を酸化することにより形成されることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 7 または 8 に記載の半導体装置の製造方法において

特願 2002-303631

前記第三の絶縁膜および前記第二の絶縁膜上に、シリコン酸化膜よりも比誘電率の高い材料により構成された第一の高誘電率絶縁膜および第二の高誘電率絶縁膜をそれぞれ形成する工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 1 乃至 9 いずれかに記載の半導体装置の製造方法において、前記有機溶媒は、極性基を有する有機溶媒であることを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 1 乃至 10 いずれかに記載の半導体装置の製造方法において、前記有機溶媒は、イソプロピルアルコール、エチレングリコール、2-ヘプタノン、シクロペントノン、メチルエチルケトン、グリコールエーテル、プロピレングリコールモノメチルエーテル、またはプロピレングリコールモノメチルアセテートであることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 1 乃至 11 いずれかに記載の半導体装置の製造方法において、前記有機溶媒は、イソプロピルアルコールであることを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 1 乃至 12 いずれかに記載の半導体装置の製造方法において、前記有機溶媒はイソプロピルアルコールであって、前記薬液は、イソプロピルアルコールを 90 体積%以上含むことを特徴とする半導体装置の製造方法。

【請求項 14】 半導体基板と、
前記半導体基板上の異なる領域に形成された第一および第二のゲート絶縁膜と

を含み、
前記第一のゲート絶縁膜は、第一の絶縁膜およびその上に形成された第一の高誘電率膜により構成され、

前記第二のゲート絶縁膜は、前記第一の絶縁膜とは膜厚または膜材料が異なる第二の絶縁膜およびその上に形成された第二の高誘電率膜により構成され、

前記第一の高誘電率膜および前記第二の高誘電率膜は、ジルコニウム、ハフニウム、ランタノイド、アルミニウム、インジウム、ガリウムまたはその酸化物を

含む材料により構成され、シリコン酸化膜よりも比誘電率が高いことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法および半導体装置に関する。本発明はとくに、半導体基板上に膜を形成する半導体装置の製造方法に関し、製造工程において、半導体基板表面の少なくとも一部を露出させる処理を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】

近年、半導体装置の集積化にともない、ゲート絶縁膜の膜厚が異なる素子を一つのチップ内に集積した半導体装置（マルチオキサイド）が開発されている。以下に図8および図9を参照して従来のマルチオキサイドを有する半導体装置の製造方法を説明する。

【0003】

図8 (a) に示すように、シリコン基板100上に素子分離領域112を形成した後、熱酸化法により酸化膜114および酸化膜116を形成する。つづいて、図8 (b) に示すように、酸化膜116上にレジスト層118を形成する。

【0004】

この状態で、図8 (c) に示すように、たとえばバッファードフッ酸(BHF)を用いてウェットエッチングを行う。その結果、図8 (d) に示すように、酸化膜114が除去される。つづいて、図9 (a) に示すように、除去液を作用させると、これにより、図9 (b) に示すように、レジスト層118が除去される。次に、図9 (c) に示すように、アンモニア-過酸化水素混合液(AMP)でシリコン基板100表面の粒子状汚染成分(パーティクル)を洗浄除去し、次いで希フッ酸(DHF)でメタル等を洗い流す。

【0005】

つづいて、図9 (d) に示すように、熱酸化法により酸化膜122を形成する

特願2002-303631

。これにより、図9 (e) に示すように、膜厚の異なる二つのゲート絶縁膜12
6およびゲート絶縁膜128が形成される。

【0006】

【特許文献1】

特開2000-3965号公報 (第3頁、第57図~第62図)

【非特許文献1】

大見忠弘著、「ウルトラクリーンULSI技術」、(株) 培風館、1

995年、p156~157

【0007】

【発明が解決しようとする課題】

ここで、一般的には、レジスト層118等の有機物を除去する除去液としては、たとえば硫酸成分を主体とした硫酸過酸化水素水(SPM)を100℃以上に加熱したものが用いられる(たとえば非特許文献1)。しかし、レジスト層118を除去する際に硫酸成分および過酸化水素を含むSPMを用いた場合、図9(b)に示したようにシリコン基板100表面に化学酸化膜120が形成されてしまい、ゲート絶縁膜の膜厚を薄く制御するのが困難となる。また、シリコン基板100表面に水分が残存していると、ウォーターマーク等のしみが形成され、膜の均一性を制御するのも困難である。

【0008】

ところで、近年の半導体装置の微細化にともない、トランジスタのゲート長を短くすることによりスイッチング速度を向上することが求められている。トランジスタのゲート長を短くするにつれ、ゲート絶縁膜の膜厚も薄くする必要がある。そのため、ゲート絶縁膜の膜厚を薄く制御できる技術が求められている。

【0009】

また、ゲート絶縁膜の膜厚を薄くする技術が求められている一方、ゲート絶縁膜の膜厚を薄くすると、ゲートリーケ電流が無視できないほど大きくなるという問題がある。このためゲート絶縁膜として従来から用いられているシリコン酸化膜(SiO₂)より比誘電率の高い絶縁膜(high-k膜)を用いることにより、誘電特性を保ちつつ、物理的膜厚を厚くすることが考えられている。

出証特2003-3068826

特願2002-303631

【0010】

しかし、high-k膜には一般的に耐熱性が低いという問題があり、high-k膜をシリコン基板上に直接形成すると、熱処理時等にhigh-k膜とシリコン基板が反応して素子特性が劣化することもある。そのため、high-k膜とシリコン基板との間にシリコン酸化膜を介在させて、このような素子特性の劣化を低減することが提言されている（たとえば特開2001-274378号公報）。この場合、ゲートの駆動能力を維持するために、シリコン酸化膜の膜厚ができるだけ薄くなるように制御することが好ましい。

【0011】

本発明は上記事情を踏まえてなされたものであり、本発明の目的は、半導体基板上に形成される膜の膜厚を薄く制御する技術を提供することにある。本発明の別の目的は、半導体基板表面に被膜やウォーターマーク等のしみが形成されるのを防ぐことにある。本発明の別の目的は、半導体基板上に形成される膜の均一性を制御する技術を提供することにある。

【0012】

【課題を解決するための手段】

本発明によれば、半導体基板上に、所定の形状にパターニングされた膜を形成する工程と、該膜の形成後、半導体材料の露出面を有する半導体基板の表面に対し、有機溶媒を主成分とする薬液によりウェット処理を施すことを特徴とする半導体装置の製造方法が提供される。

【0013】

ここで、半導体基板は、Si、Ge等の元素半導体、GaN、InP、CdS、SiC等の化合物半導体、InGaAs、HgCdTe等の混晶半導体により構成することができる。半導体基板の表面とは、半導体基板の正面表面のことである。「主成分」とは、薬液中の体積含有率が最も大きい成分をいう。ここで、薬液は、非水系溶媒を主として含むことができる。薬液は、水を含むことができるが、フッ酸系成分、硫酸系成分、または過酸化水素を含まないようになるのが好ましい。ウェット処理は常温で行うことができる。ウェット処理と半導体基板のリノスや洗浄、またはウェットエッチング等である。たとえば半導体基板のリノスや洗浄、またはウェットエッチング等である。

特願 2002-303631

【0014】
 このようにすれば、半導体基板表面が露出したときに、その表面に水が付着しないようにすることができるので、半導体基板表面に化学酸化膜等の被膜やウォーターマークが形成されるのを防ぐことができる。

【0015】
 本発明によれば、半導体基板上に膜を形成し、膜の少なくとも一部を有機溶媒を主成分とする薬液を用いて除去し、半導体基板の表面の一部を露出させることを特徴とする半導体装置の製造方法が提供される。

【0016】
 このようにすれば、膜を除去することにより半導体基板表面が露出する場合であっても、半導体基板表面に化学酸化膜等の被膜が形成されるのを防ぐことができる。

【0017】
 本発明によれば、半導体基板上に膜を形成し、膜の一部を除去して半導体基板の表面の一部を露出させ、半導体基板を有機溶媒を主成分とする薬液によりウェット処理を施すことを特徴とする半導体装置の製造方法が提供される。ここで、半導体基板の表面の一部を露出させた後、純水を用いた半導体基板の洗浄を行うことなく、半導体基板を有機溶媒を主成分とする薬液を用いてウェット処理を施すことができる。

【0018】
 本発明によれば、半導体基板上に第一の膜および第二の膜を形成し、第一の膜の少なくとも一部を除去して半導体基板の表面の一部を露出させた後、第二の膜を有機溶媒を主成分とする薬液を用いて除去することを特徴とする半導体装置の製造方法が提供される。ここで、第二の膜はたとえばレジスト層とすることができる。また、第一の膜はたとえばゲート絶縁膜とすることができる。

【0019】
 本発明の半導体装置の製造方法において、半導体基板は第一の領域および第二の領域を含むことができ、第一の膜および第二の膜はそれぞれ第一の領域および第二の領域に形成することができる。また、第一の領域に素子を形成中に第二の

特願 2002-303631

領域を第二の膜で保護し、第一の領域の素子の形成後に第二の膜を除去して第二の領域に別の素子を形成することができる。この場合、第二の膜は有機溶媒で除去されるので、第二の膜の除去時に第一の領域の半導体基板表面が露出していくも、半導体基板表面に化学酸化膜等の被膜が形成されるのを防ぐことができる。

[0 0 2 0]

【0020】
本発明の半導体装置の製造方法において、第二の膜を第一の膜上に所定形状に形成することができ、第一の膜が所定形状となるように、第一の膜を選択的に除去して半導体基板の表面の少なくとも一部を露出させることができる。このように、第二の膜は有機溶媒で除去されるので、第二の膜の除去時に半導体基板表面上に、第二の膜は有機溶媒で除去されるので、第二の膜の除去時に半導体基板表面上に化学酸化膜等の被膜が形成されるのを防ぐことができる。

[0 0 2 1]

【0021】
本発明によれば、半導体基板上に絶縁膜を形成する工程と、絶縁膜上に導電膜を形成する工程と、導電膜上に所定形状にパターニングされた保護膜を形成する工程と、保護膜をマスクとして導電膜を選択的に除去する工程と、絶縁膜が所定工程と、絶縁膜を選択的に除去して半導体基板表面の一部を露出させ形状となるように、絶縁膜を選択的に除去して半導体基板に対してウェット処理する工程と、有機溶媒を主成分とする薬液により半導体基板に対してウェット処理を施す工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

[0 0 2 2]

【0022】
保護膜はレジスト層により構成することができる。ここで、第一の絶縁膜は酸化膜または窒化膜により構成することができる。半導体基板がシリコン基板やSiC基板である場合、第一の絶縁膜はシリコン酸化膜またはシリコン窒化膜により構成することができる。

[0 0 2 3]

【0023】
本発明の半導体装置の製造方法において、絶縁膜を除去する工程は、半導体基板表面の一部を露出させる前に、保護膜を除去する工程を含むことができる。

[0024]

【0024】
本発明の半導体装置の製造方法において、絶縁膜を除去する工程は、保護膜をマスクとしてドライエッチングにより絶縁膜の一部を選択的に除去する工程と、

特願 2002-303631

保護膜を除去する工程と、導電膜をマスクとしてウェットエッチングにより絶縁膜の残りを選択的に除去して半導体基板表面の一部を露出させる工程と、を含むことができる。

【0025】

本発明の半導体装置の製造方法において、絶縁膜を形成する工程は、第一の絶縁膜を形成する工程と、第一の絶縁膜上にシリコン酸化膜よりも比誘電率の高い材料により構成された第二の絶縁膜を形成する工程と、を含むことができる。

【0026】

本発明の半導体装置の製造方法において、絶縁膜を除去する工程は、保護膜をマスクとしてドライエッチングにより第二の絶縁膜の一部を選択的に除去する工程と、保護膜を除去する工程と、導電膜をマスクとしてウェットエッチングにより第二の絶縁膜の残りおよび第一の絶縁膜を選択的に除去して半導体基板表面の一部を露出させる工程と、を含むことができる。このとき、絶縁膜の残りをウェットエッチングするエッチング溶液としては、フッ化化合物を添加したアルコール、リン酸、または硫酸水溶液を用いることができる。

【0027】

本発明の半導体装置の製造方法は、絶縁膜を形成する工程の前に、半導体基板に素子分離領域を形成する工程をさらに含むことができ、絶縁膜を除去する工程において、素子分離領域において半導体基板表面を露出させることができる。

【0028】

本発明の半導体装置の製造方法において、絶縁膜を形成する工程は、シリコン酸化膜よりも比誘電率の高い材料により構成された高誘電率絶縁膜を形成する工程を含むことができ、絶縁膜を除去する工程は、保護膜をマスクとしてドライエッチングにより高誘電率絶縁膜の一部を選択的に除去する工程と、保護膜を除去する工程と、導電膜をマスクとして、ウェットエッチングにより高誘電率絶縁膜の残りを選択的に除去する工程と、を含むことができ、ウェットエッチングは、フッ化化合物を含み有機溶媒を主成分とする除去液、熱リン酸を含む除去液、または硫酸を含む除去液を用いて行うことができる。このようにすれば、たとえば半導体基板に素子分離領域が形成されていても、素子分離領域がエッチングされ

特願2002-303631

ることなく、高誘電率絶縁膜を選択的に除去することができる。

【0029】

本発明によれば、半導体基板上にシリコン酸化膜よりも比誘電率の高い高誘電率絶縁膜を少なくとも含む絶縁膜を形成する工程と、絶縁膜を、フッ化化合物を含み、有機溶媒を主成分とする薬液を用いたウェットエッチングにより選択的に除去して半導体基板表面の一部を露出させる工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

【0030】

本発明の半導体装置の製造方法は、絶縁膜を形成する工程の前に、半導体基板上に素子分離領域を形成する工程をさらに含むことができ、絶縁膜を除去する工程において、素子分離領域において半導体基板表面が露出されてもよい。このようすければ、素子分離領域がエッチングされることなく、高誘電率絶縁膜を選択的に除去することができる。

【0031】

本発明によれば、半導体基板上の第一の領域および第二の領域に第一の絶縁膜および第二の絶縁膜をそれぞれ形成する工程と、第二の絶縁膜を覆う保護膜を形成する工程と、第一の絶縁膜を除去して第一の領域において半導体基板表面を露出させる工程と、有機溶媒を主成分とする薬液により保護膜を除去する工程と、第一の領域に第二の絶縁膜と膜厚または膜材料の異なる第三の絶縁膜を形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

【0032】

第一の領域および第二の領域は素子形成領域とすることができます。また、第二の領域はI/Oポートのゲート形成領域とすることもできる。この場合、第三の領域はI/Oポートのゲート形成領域とすることもできる。

絶縁膜は第二の絶縁膜より膜厚が薄くなるように形成することができる。

【0033】

本発明の半導体装置の製造方法において、第一の絶縁膜、第二の絶縁膜、および第三の絶縁膜は、それぞれ対応する領域において、半導体基板を酸化することにより形成することができる。

【0034】

特願 2002-303631

本発明の半導体装置の製造方法において、第三の絶縁膜および第二の絶縁膜上に、シリコン酸化膜よりも比誘電率の高い材料により構成された第一の高誘電率の絶縁膜および第二の高誘電率絶縁膜をそれぞれ形成する工程をさらに含むことができる。

【0035】

ここで、第一の高誘電率絶縁膜および第二の高誘電率絶縁膜は、3A族元素、3B族元素または4A族元素を含む膜をとすることができます。3A族元素、3B族元素または4A族元素を含む膜として、いわゆるhigh-k膜を選択することができます。このような膜材料として、ジルコニウム、ハフニウム、ランタノイド、アルミニウム、インジウム、ガリウムまたはその酸化物が例示される。すなわち、 ZrO_x 、 HfO_x 、 Ga_2O_3 等が挙げられる。具体的には、 ZrO_x 、 HfO_x 、 Ga_2O_3 等が挙げられる。このうち、特に ZrO_x 、 HfO_x 、 $HfAlO_x$ は、特性および半導体プロセスへの適合性の点から好ましい。また、high-k膜として、たとえば、チタン酸バリウム ($BaSrTiO_3$)、酸化チタン (TiO_2)、酸化タンタル (Ta_2O_5)、窒化シリコン (Si_3N_4)、窒酸化シリコン ($SiON$)、またはアルミナ (Al_2O_3) 等、シリコン酸化膜の比誘電率 (3.9~4.5) より比誘電率が大きい材料を用いることもできる。

【0036】

本発明の半導体装置の製造方法において、有機溶媒は、極性基を有する溶媒とすることが好ましい。ここで、極性基とは、水酸基、エーテル結合基、カルボニル基、カルボキシル基等、炭素とは異なる電気陰性度を持つ原子を含む基のことである。極性基を有する溶媒としては、イソプロピルアルコール、イソブチルアルコール、エチレングリコール、*t*-ブチルアルコール等のアルコール類；グリコールエーテル、プロピレングリコールモノメチルエーテル等のエーテル類；シクロヘキサン、シクロヘキサノン、メチルエチルケトン、2-ヘプタノン等のケトン類；

特願 2002-303631

プロピレングリコールモノメチルアセテート等のエステル；
を用いることができる。

このうち、イソプロピルアルコール、エチレングリコール、2-ヘプタノン、シクロペントノン、メチルエチルケトン、グリコールエーテル、プロピレングリコールモノメチルエーテル、またはプロピレングリコールモノメチルアセテートからなる群から選択される一種以上を含む溶媒とすることが好ましく、特にイソプロピルアルコールが好ましい。このような溶媒を用いることにより、半導体基板表面への化学酸化膜等の被膜の付着やウォーターマーク等のしみの形成を防ぐことができる。また、有機溶媒は、親水性の溶媒とすることが好ましい。

【0037】

本発明の半導体装置の製造方法において、有機溶媒はイソプロピルアルコールであってよく、薬液は、イソプロピルアルコールを90体積%以上含むことができる。

【0038】

本発明の半導体装置の製造方法において、保護膜は、i線レジスト膜を用いることができる。

【0039】

本発明の半導体装置の製造方法において、保護膜は、バッファドフッ酸により溶解しない材料により構成することができる。

【0040】

本発明によれば、半導体基板の素子形成領域の少なくとも一部を露出させたときに、有機溶媒を主成分とする薬液を用いて半導体基板をウェット処理を施すことを特徴とするウェット処理方法が提供される。

【0041】

本発明によれば、有機溶媒を主成分とする薬液を用いて半導体基板にウェット処理を施し、半導体基板表面を露出させることを特徴とするウェット処理方法が提供される。

【0042】

本発明によれば、半導体基板と、半導体基板上の異なる領域に形成された第一

特願2002-303631

および第二のゲート絶縁膜と、を含み、第一のゲート絶縁膜は、第一の絶縁膜およびその上に形成された第一の高誘電率膜により構成され、第二のゲート絶縁膜は、第一の絶縁膜とは膜厚または膜材料が異なる第二の絶縁膜およびその上に形成された第二の高誘電率膜により構成され、第一の高誘電率膜および第二の高誘電率膜は、ジルコニウム、ハフニウム、ランタノイド、アルミニウム、インジウム、ガリウムまたはその酸化物を含む材料により構成され、シリコン酸化膜よりも比誘電率が高いことを特徴とする半導体装置が提供される。

【0043】

本発明の半導体装置において、第一の絶縁膜の膜厚は1 nmより薄くすることができる。

【0044】

【発明の実施の形態】

以下、本発明の半導体装置の製造方法について、図面を参照して実施の形態を詳細に説明する。ここで、各図面は、本発明の理解を容易にするために半導体装置の構成要素を模式的に示す。

【0045】

(第一の実施の形態)

図1および図2は、本発明の第一の実施の形態における、半導体装置の製造方法を示す工程図である。本実施の形態において、本発明は、膜厚の異なるゲート絶縁膜の製造に適用される。

【0046】

図1 (a) に示すように、シリコン基板10上に素子分離領域12を形成した後、第一の領域13aおよび第二の領域13bに熱酸化法により第一の酸化膜14 (たとえば膜厚5.0 nm) および第二の酸化膜16 (たとえば膜厚5.0 nm) をそれぞれ形成する。ここで、素子分離領域12は、シャロートレンチアイソレーション法 (STI法) により形成され、熱酸化法およびCVD法により形成された酸化膜により構成される。つづいて、図1 (b) に示すように、第二の酸化膜16上にレジスト層18を形成する。レジスト層18はi線レジスト膜である。レジスト層18は、第二の酸化膜16上にi線レジスト膜を塗布し、パタ

特願 2002-303631

ーン形成用マスク（不図示）を用いてたとえばキセノン-水銀ランプ光源（図示せず）から i 線を照射して、 i 線レジスト膜を露光して現像することにより形成される。この状態で、図 1 (c) に示すように、バッファドフッ酸 (BHF) を用いてウェットエッチングを行う。その結果、図 1 (d) に示すように、第一の酸化膜 14 が除去される。

【0047】

つづいて、図 2 (a) に示すように、イソプロピルアルコール (IPA) を常温で作用させ、ウェットエッチングによりレジスト層 18 を除去する。ここで、ウェットエッチングは、浸漬方式でも枚葉方式でも行うことができる。これにより、レジスト層 18 は IPA に溶解し、図 2 (b) に示すように、レジスト層 1 および、レジスト層 18 が除去される。次に、アンモニア-過酸化水素混合液 (APM) でシリコン基板 10 表面の粒子状汚染成分 (パーティクル) を洗浄除去し、次いで希フッ酸 (DHF) でメタルを洗い流す。このとき、シリコン基板 10 表面には薄い化学酸化膜 20 (たとえば膜厚 0.9 nm) が形成される (図 2 (c))。

【0048】

つづいて、図 2 (d) に示すように、 RTO (rapid thermal oxidation) により第三の酸化膜 22 (たとえば膜厚 0.8 nm) を形成する。これにより、図 2 (e) に示すように、膜厚の異なる二つのゲート絶縁膜、第一のゲート絶縁膜 26 (たとえば膜厚 0.8 nm) および第二のゲート絶縁膜 28 (たとえば膜厚 5 nm) が形成される。

【0049】

本実施の形態において、レジスト層 18 を IPA により除去するので、レジスト層 18 の除去時にシリコン基板 10 表面に化学酸化膜が付着することがなく、 APM および DHF による洗浄時に薄い化学酸化膜 20 が形成されるだけである。そのため、その後に RTO により第三の酸化膜 22 を形成する際に、膜厚を薄く制御することができる。また、シリコン基板 10 表面にウォーターマーク等のしみが形成されないので、第三の酸化膜 22 の均一性を制御することができる。これにより、膜厚が薄く均一な第一のゲート絶縁膜 26 を形成することができる。また、 IPA を常温で作用させることによりレジスト層 18 を除去することができる。

特願 2002-303631

できるので、膜厚の異なるゲート絶縁膜を簡略なプロセスを安定的に製造することができる。

【0050】

(第二の実施の形態)

図3および図4は、本発明の第二の実施の形態における、半導体装置の製造方法を示す工程図である。本実施の形態において、本発明は、図2に示した膜厚の異なる第一のゲート絶縁膜26および第二のゲート絶縁膜28上に、高誘電率絶縁膜を形成する例に適用される。

【0051】

第一の実施の形態において、図1および図2を参照して説明したのと同様にして素子分離領域12が形成されたシリコン基板10上に第一のゲート絶縁膜26と第二のゲート絶縁膜28を形成する(図3(a))。つづいて、図3(b)に示すように、シリコン基板10全面に、原子層化学気相成長法(ALCVD: atomic-layer chemical vapor deposition)または有機金属化学気相成長法(MOCVD: metal-organic chemical vapor deposition)等のCVD法、あるいはスパッタ法により高誘電率絶縁膜30(たとえば膜厚3nm)を形成する。高誘電率絶縁膜30は、たとえば、酸化ハフニウム(HfO₂)、酸化ジルコニウム(ZrO₂)、HfAlO_x膜等、シリコン酸化膜の比誘電率(3.9~4.5)より比誘電率が大きい材料により構成することができる。さらに、高誘電率絶縁膜30の上面に多結晶シリコン31(たとえば膜厚200nm)を形成する。

【0052】

つづいて、図3(c)に示すように、多結晶シリコン31上にレジスト層32をマスクとして形成する。その後、図3(d)に示すように、レジスト層32をドライエッチングにより段階、多結晶シリコン31および高誘電率絶縁膜30をドライエッチングにより段階的に選択的に除去する。高誘電率絶縁膜30の途中までエッチングを行った後、SPMを作用させる。

【0053】

これにより、図4(a)に示すように、レジスト層32が除去される。つづいて、図4(b)および図4(c)に示すように、多結晶シリコン31をマスクとして、

特願 2002-303631

してウェットエッティングにより、高誘電率絶縁膜30、第一のゲート絶縁膜26、第二のゲート絶縁膜28を選択的に除去する。このとき、エッティング液としてはBHFを用いることができる。また、エッティング液として、IPA等の有機溶媒にフッ化化合物を添加した薬液、リン酸系水溶液、硫酸水溶液等を用いることができる。ここで、リン酸系水溶液としては、熱リン酸を用いることができる。IPA等の有機溶媒にフッ化化合物を添加した薬液、リン酸系水溶液、硫酸水溶液等をエッティング液として用いることにより、素子分離領域12がエッティングされるのを防ぐことができる。この後、IPAでシリコン基板10表面をリノスする。これにより、シリコン基板10表面に残存する水分を除去することができる。シリコン基板10表面にウォーターマークが形成されるのを防ぐことができる。

【0054】

以上の処理により、第一のゲート絶縁膜26およびその上面に形成された高誘電率絶縁膜30により構成される第三のゲート絶縁膜38、ならびに第二のゲート絶縁膜28およびその上に形成された高誘電率絶縁膜30により構成される第四のゲート絶縁膜40を製造することができる。

【0055】

本実施の形態においては、第三のゲート絶縁膜38および第四のゲート絶縁膜40の製造直後のシリコン基板10が露出したときに、シリコン基板10表面をIPAで洗浄するので、シリコン基板10表面に残存する水分を除去することができる。これにより、シリコン基板10表面にウォーターマークが形成されるのを防ぐことができる。

【0056】

(第三の実施の形態)

本実施の形態は、素子形成領域に形成されるトランジスタの製造方法に関するものである。以下、図5および図6を参照して説明する。

【0057】

図5(a)に示すように、シリコン基板50上に熱酸化法により酸化絶縁膜52(たとえば膜厚0.8nm)を形成し、その上にCVD法またはスパッタ法により高誘電率絶縁膜54(たとえば膜厚2.0nm)を形成し、次いでその上に

特願 2002-303631

CVD法により多結晶シリコン層56（たとえば膜厚200nm）を形成する。

【0058】

つづいて、図5（b）に示すように、多結晶シリコン層56上にレジスト膜を成膜し、ArFエキシマレーザによるリソグラフィ技術を用いてレジスト層58を形成する。その後、図5（c）および図5（d）に示すように、レジスト層58をマスクとして、多結晶シリコン層56および高誘電率絶縁膜54をドライエッティングにより段階的に選択的に除去する。高誘電率絶縁膜54の途中までエッティングを行った後、SPMによりレジスト層58を除去する（図6（a））。

【0059】

つづいて、多結晶シリコン層56をマスクとして、高誘電率絶縁膜54の残りと酸化絶縁膜52をウェットエッティングにより選択的に除去する。（図6（b））および図6（c））。このとき、エッティング液としてはBHFまたはDHFを用いることができる。また、エッティング液として、IPA等の有機溶媒にフッ化化合物を添加した薬液、リン酸系水溶液、硫酸水溶液等を用いることもできる。ここで、リン酸系水溶液としては、熱リン酸を用いることができる。これにより、酸化絶縁膜52および高誘電率絶縁膜54により構成されるゲート絶縁膜60を製造することができる。

【0060】

この後、IPAでシリコン基板50表面をリノスする。これにより、シリコン基板50表面に残存する水分を除去することができ、シリコン基板50表面にウオーターマークが形成されるのを防ぐことができる。

【0061】

つづいて、サイドウォール64を形成した後、シリコン基板50表面にイオン注入を行う。これにより、多結晶シリコン層56およびゲート絶縁膜60の下側領域の両端に不純物領域62が形成される（図6（d））。つづいて、シリコン基板50全面に金属層を形成し、多結晶シリコン層56および不純物領域62と接する部分をシリサイド化させた後、他の部分の金属層を除去してゲート電極、ソース、ドレイン領域に金属シリサイド層を形成する（不図示）。なお、ゲート電極としては多結晶シリコン層56にかえて、ポリSiGe層を用いること

もできる。

【0062】

このように、シリコン基板50表面にイオン注入を行う際に、シリコン基板50表面に水分が残存していると、ウォーターマークが形成され、イオン注入の条件が不均一になってしまう。本実施の形態においては、イオン注入に先立ち、IPAを用いてシリコン基板50表面の水分を除去するので、均一な条件で不純物領域62を形成することができる。

【0063】

【実施例】
以下に本発明を実施例によって具体的に説明するが、本発明はこれらに限定されない。

【0064】

第一の実施の形態において図1および図2を参照して説明したのと同様にして第一のゲート絶縁膜26および第二のゲート絶縁膜28を製造した。
、第一のゲート絶縁膜26および第二のゲート絶縁膜26の形成領域における酸化膜の膜厚を、
その際、第一のゲート絶縁膜26の形成領域における酸化膜の膜厚を、
(1) 図2(a)に示したIPAによるレジスト層18の除去後、
(2) 図2(b)に示したAPMおよびDHFによるシリコン基板10表面の洗浄処理後、
(3) 図2(d)に示したRTO後、
のそれぞれについて測定した。膜厚はエリプソメータにより測定した。

【0065】

また、比較として、上記(1)のレジスト層18の除去をSPMを用いて行った場合の第一のゲート絶縁膜26の形成領域における酸化膜の膜厚も同様に測定した。

した。

【0066】

図7は、これらの測定結果を示すグラフである。(1)のレジスト層18の除去後、IPAを用いた場合にはシリコン基板10表面に酸化膜が形成されなかつたが、SPMを用いた場合にはシリコン基板10表面に1.2nmの化学酸化膜が形成された。その後(2)のAPMおよびDHFによる洗浄を行うと、IPAが形成された。その後(2)のAPMおよびDHFによる洗浄を行うと、IPA

特願 2002-303631

によりレジスト層18の除去を行った場合でもシリコン基板10表面に約0.9 nmの酸化膜が形成された。つづいて(3)のRTOを行うと、このように形成された化学酸化膜はある程度収縮し、IPAによりレジスト層18の除去を行った場合、酸化膜の膜厚が0.8 nmとなり、SPMによりレジスト層18の除去を行った場合、酸化膜の膜厚が1.0 nmとなった。このように、IPAを用いを行った場合、酸化膜の膜厚が1.0 nmとなった。このように、IPAを用いてレジスト層18の除去を行った場合、SPMを用いてレジスト層18を除去してレジスト層18の除去を行った場合、SPMを用いてレジスト層18を除去することができる比較例に比べて第一のゲート絶縁膜26の膜厚を約0.2 nm薄くすることができます。また、同様の測定を繰り返し行ったところ、再現性よく第一のゲート絶縁膜26の膜厚を制御することができた。

【0067】

以上のように、第一のゲート絶縁膜26の膜厚は、レジスト層18の除去時に形成される酸化膜の膜厚およびAPMおよびDHFによるシリコン基板10洗浄時に形成される酸化膜の膜厚に依存する。従来のSPMを用いてレジスト層18を除去する手法では、SPMの影響により、レジスト層18の除去時にシリコンを除去する一方、IPAを用いてレジスト層18を除去する手法では、レジスト層18を除去する手法では、レジスト層18の除去時にシリコン基板10表面に厚い酸化膜が形成されてしまう。一方、IPAを用いてレジスト層18を除去する手法では、レジスト層18の除去時にシリコン基板10表面に酸化膜が形成されない。そのため、IPAを用いてレジスト層18を除去することにより、最終的に形成される第一のゲート絶縁膜26の膜厚をSPMを用いた場合に比べて薄くすることができる。

【0068】**【発明の効果】**

本発明によれば、半導体基板上に形成される膜の膜厚を薄く制御することができる。また、本発明によれば、半導体基板表面に被膜やウォーターマーク等のしみが形成されるのを防ぐことができる。本発明によれば、半導体基板上に形成される膜の均一性を制御することができる。

【図面の簡単な説明】**【図1】**

実施の形態における半導体装置の製造方法を示す工程図である。

【図2】

特願 2002-303631

実施の形態における半導体装置の製造方法を示す工程図である。

【図 3】

実施の形態における半導体装置の製造方法を示す工程図である。

【図 4】

実施の形態における半導体装置の製造方法を示す工程図である。

【図 5】

実施の形態における半導体装置の製造方法を示す工程図である。

【図 6】

実施の形態における半導体装置の製造方法を示す工程図である。

【図 7】

レジスト層の洗浄除去に IPA を用いた場合および SPM を用いた場合の各工程における酸化膜の膜厚の測定結果を示すグラフである。

【図 8】

従来の半導体装置の製造方法を示す工程図である。

【図 9】

従来の半導体装置の製造方法を示す工程図である。

【符号の説明】

10 シリコン基板

12 素子分離領域

13 a 第一の領域

13 b 第二の領域

14 第一の酸化膜

16 第二の酸化膜

18 レジスト層

20 化学酸化膜

22 第三の酸化膜

26 第一のゲート絶縁膜

28 第二のゲート絶縁膜

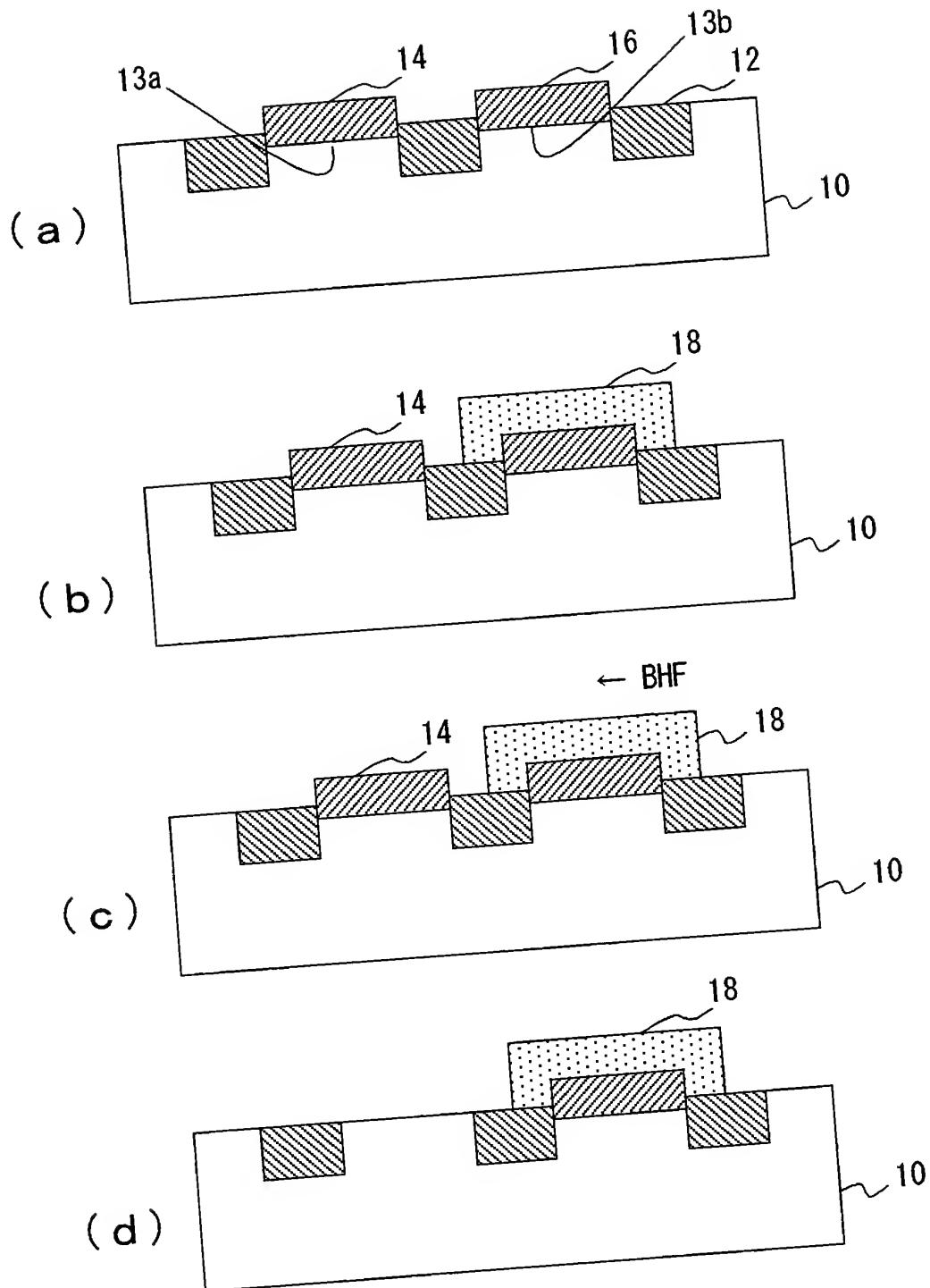
30 高誘電率絶縁膜

- 31 ポリシリコン層
- 32 レジスト層
- 38 第三のゲート絶縁膜
- 40 第四のゲート絶縁膜
- 50 シリコン基板
- 52 酸化絶縁膜
- 54 高誘電率絶縁膜
- 56 多結晶シリコン層
- 58 レジスト層
- 60 ゲート絶縁膜
- 62 不純物領域
- 64 サイドウォール

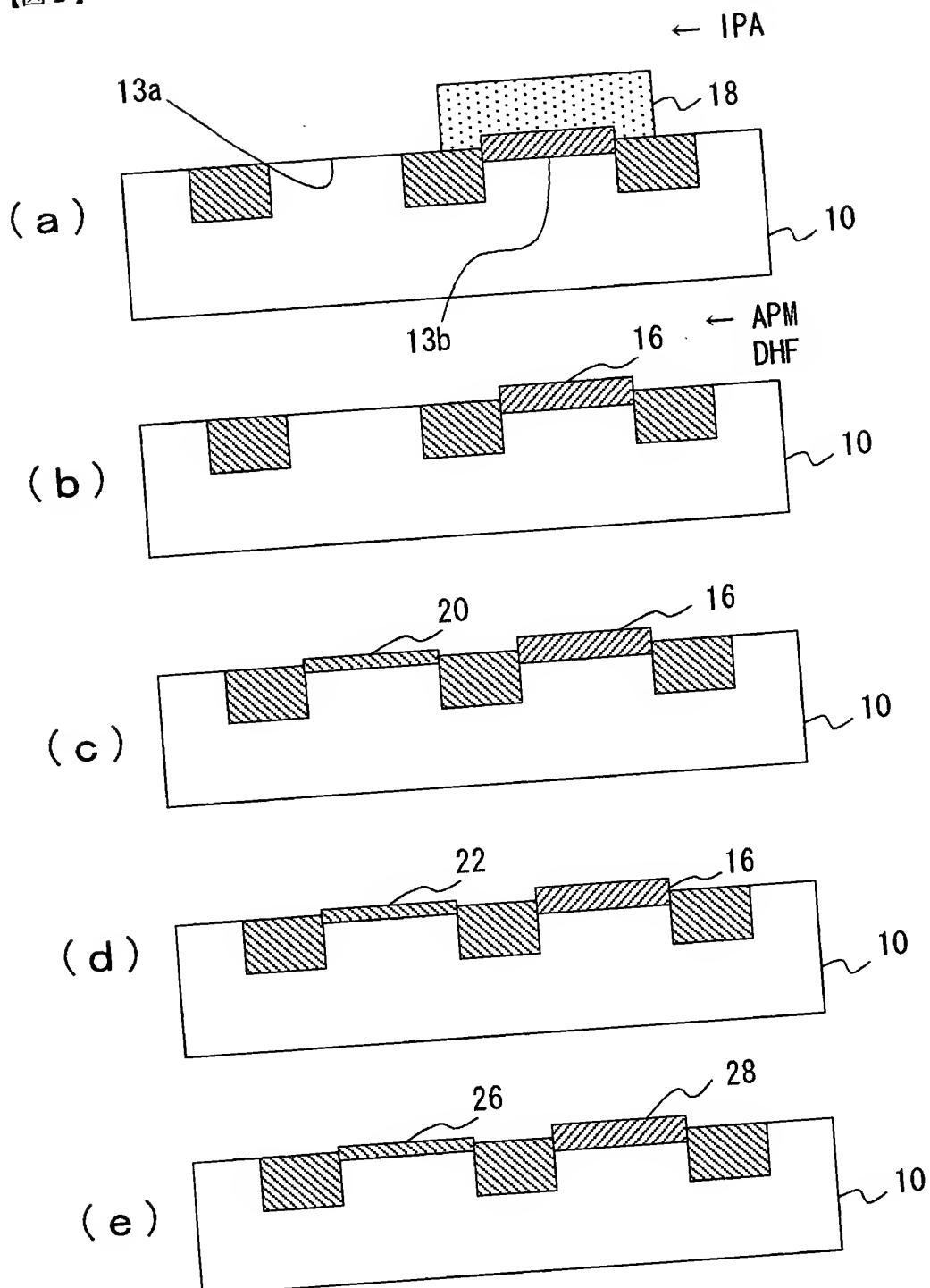
【書類名】

図面

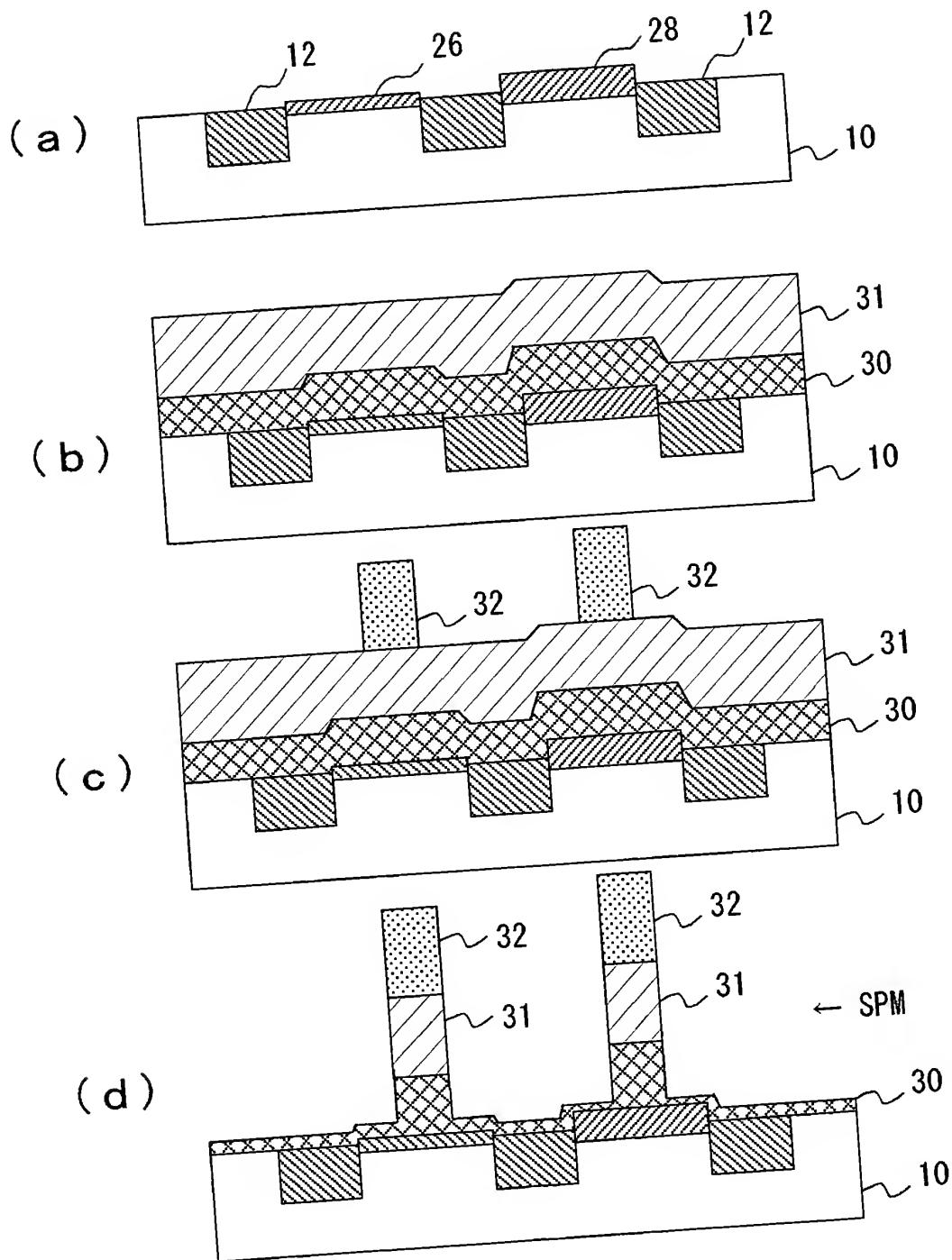
【図1】



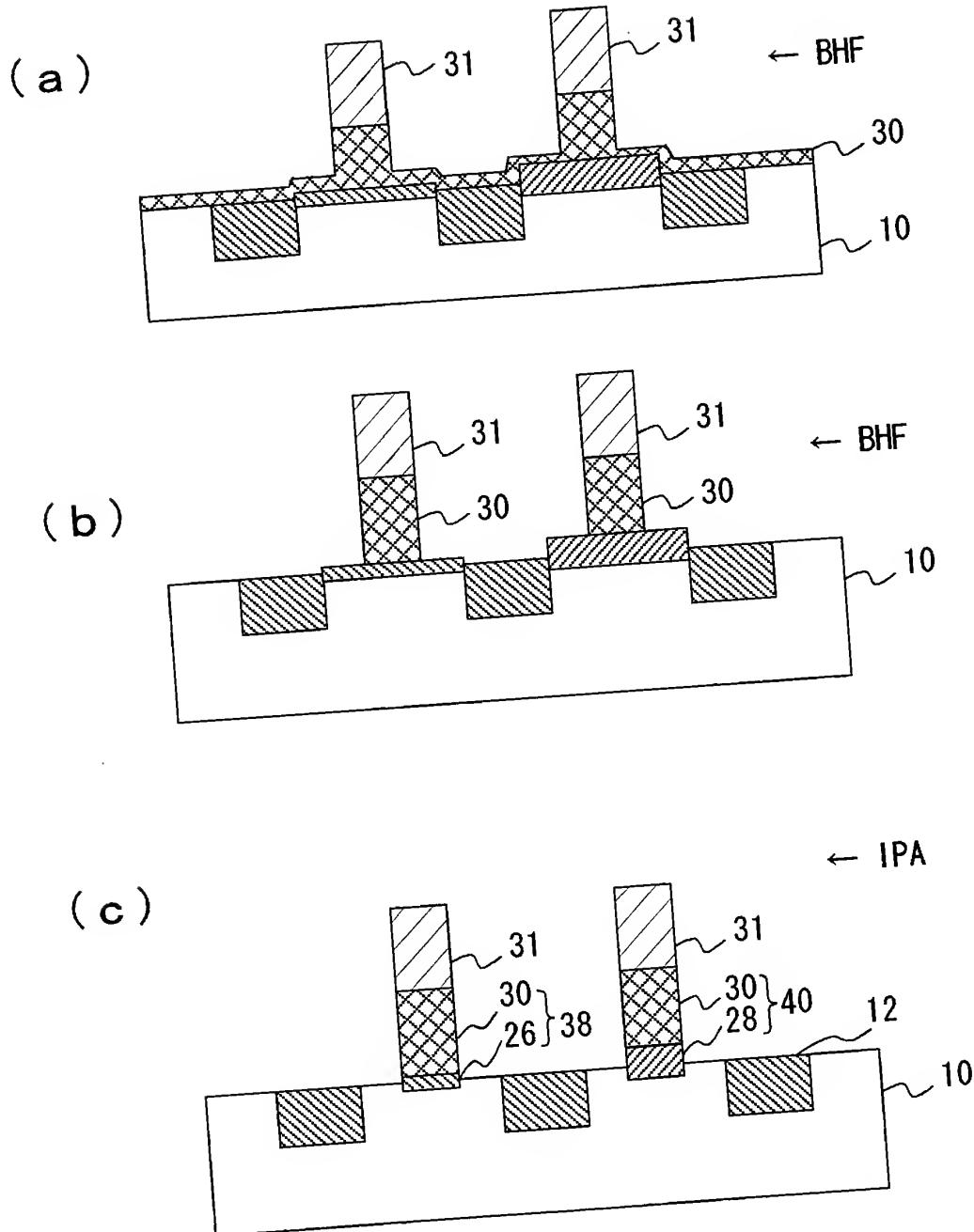
【図2】



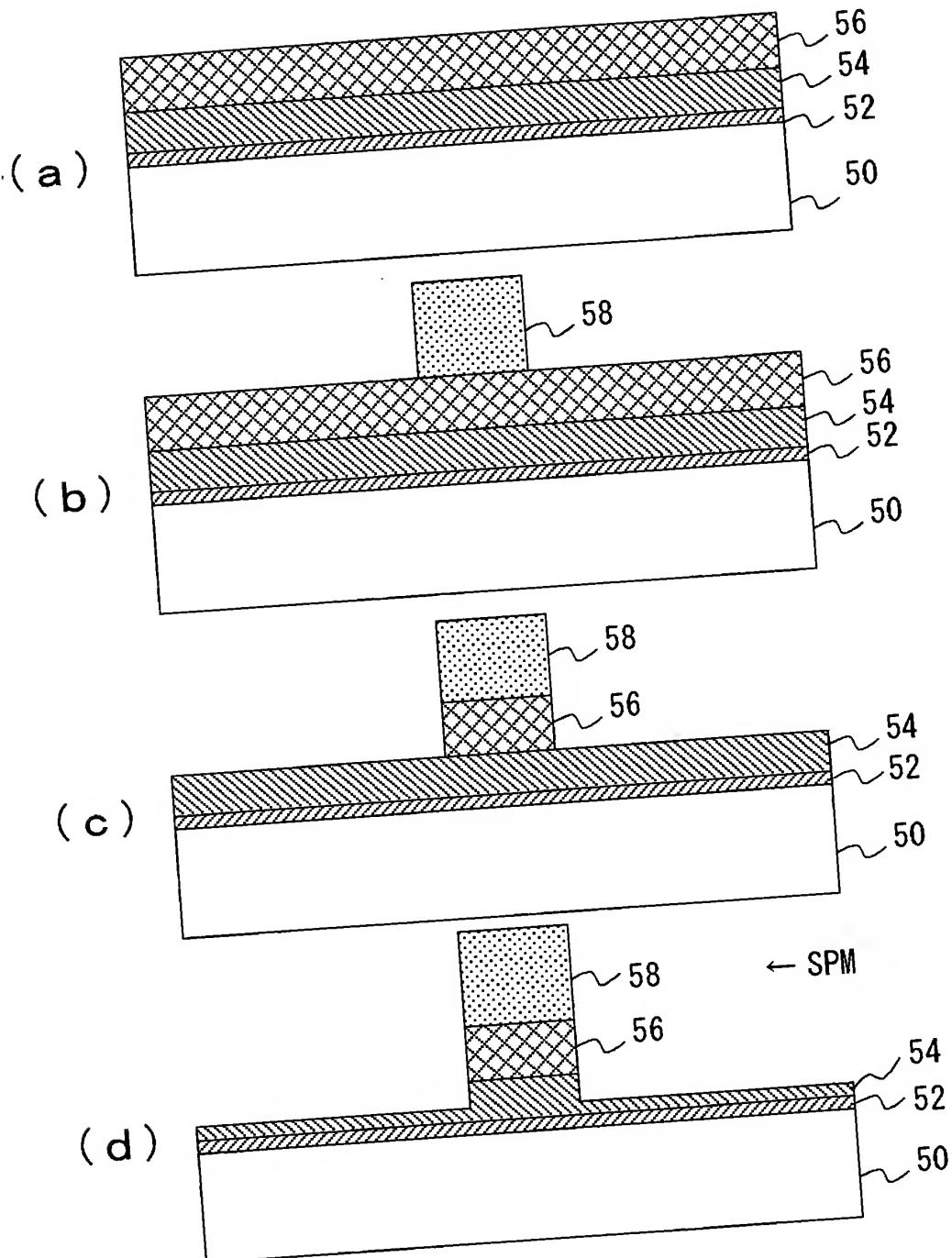
【図3】



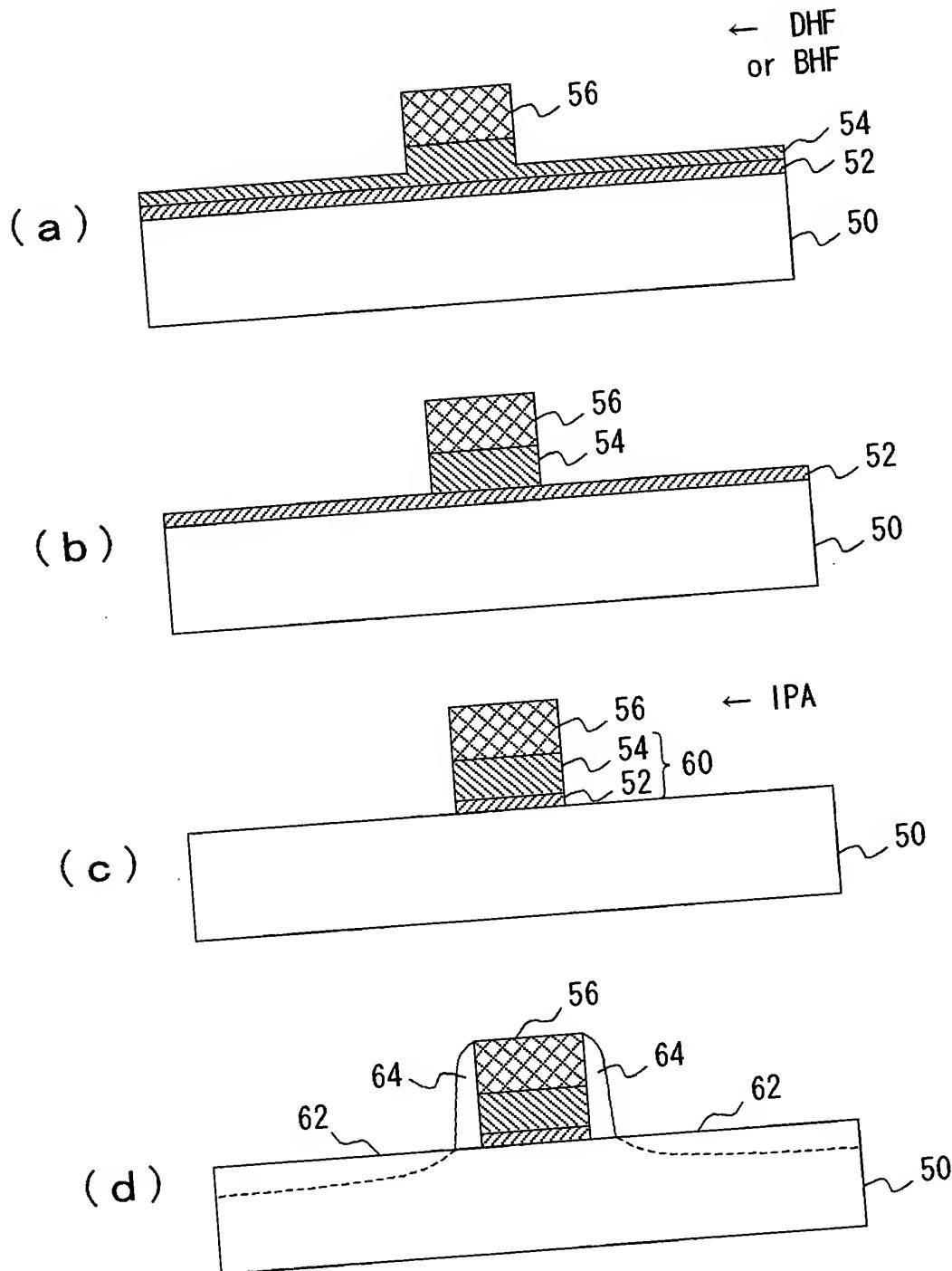
【図4】



【図5】

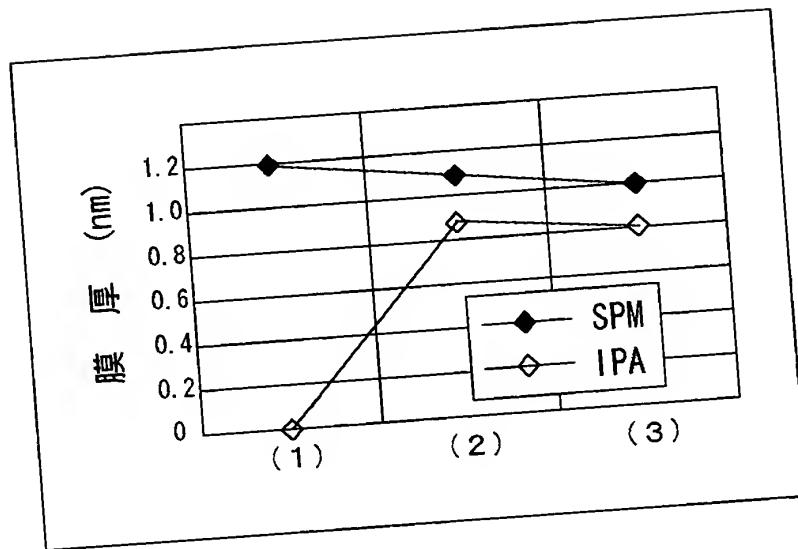


【図6】



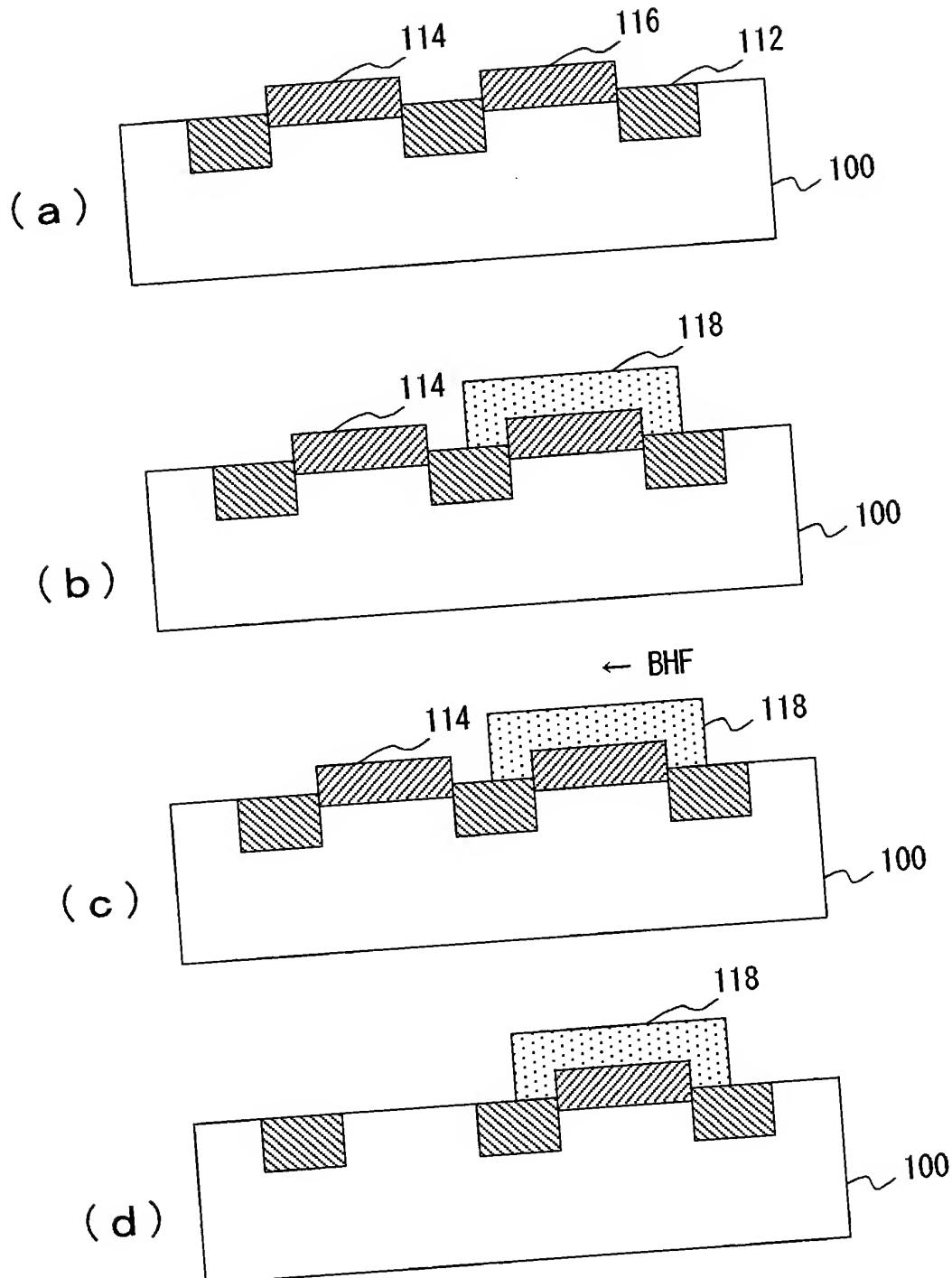
特願2002-303631

【図7】

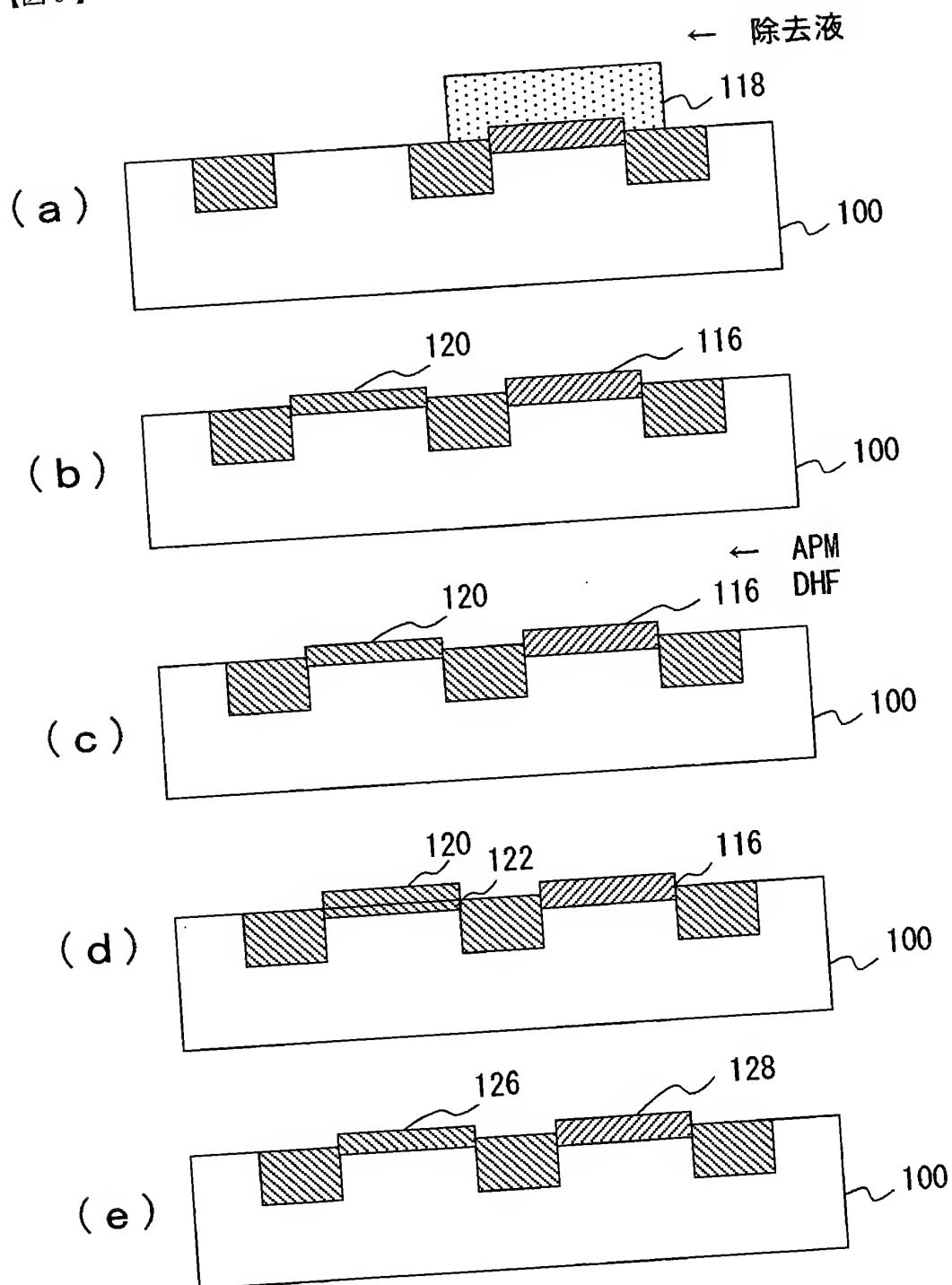


- (1) レジスト層除去後
(2) APM/DHF 洗浄後
(3) 热酸化処理後

【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜の膜厚を適切に制御する。

【解決手段】 シリコン基板10表面に熱酸化法により第一の領域13aおよび第二の領域13bに第一の酸化膜（不図示）および第二の酸化膜16をそれぞれ形成し、第二の酸化膜16をレジスト層18で覆った状態で第一の酸化膜を除去し、レジスト層18をイソプロピルアルコール等の有機溶媒を主成分とする薬液で除去する。その後、第一の領域13aに第二の酸化膜16と膜厚の異なる第三の酸化膜22を形成する。

【選択図】 図2

特願2002-303631

【書類名】 出願人名義変更届（一般承継）

【整理番号】 74112769

【提出日】 平成15年 1月17日

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-303631

【承継人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

【識別番号】 100110928

【弁理士】

【氏名又は名称】 速水 進治

【電話番号】 03-3461-3687

【提出物件の目録】

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特願2002-318488の出願人名義変更届に添付
のものを援用する。

【物件名】 承継人であることを証明する承継証明書 1

【援用の表示】 特願2002-318488の出願人名義変更届に添付
のものを援用する。

【包括委任状番号】 0216935

【フルーフの要否】 要

特願 2002-303631

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社

特願 2002-303631

出願人履歴情報

識別番号

[302062931]

1. 変更年月日

2002年11月 1日

[変更理由]

新規登録

神奈川県川崎市中原区下沼部1753番地

住所
氏名

NECエレクトロニクス株式会社